

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-037267

(43)Date of publication of application : 12.02.1993

(51)Int.Cl.

H03G 3/20

H03G 3/12

H03G 3/30

(21)Application number : 03-187217

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.07.1991

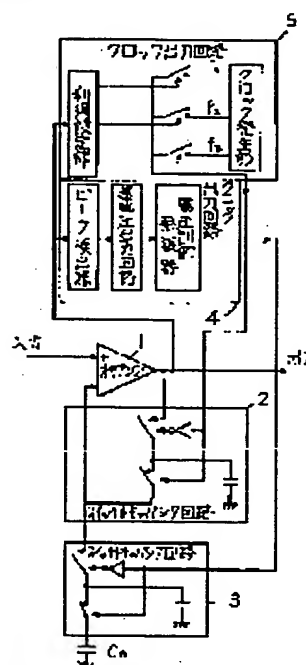
(72)Inventor : KAWADA KINJI

(54) HIGH PASS FILTER TYPE AUTOMATIC GAIN CONTROL AMPLIFIER

(57)Abstract:

PURPOSE: To provide a high pass filter type automatic gain control amplifier capable of making a target value of an output value regardless of the large variation of an input signal.

CONSTITUTION: A switched capacitor(SC) circuit 2 is connected between the output terminal and the - terminal of an operational amplifier 1, and an SC circuit 3 is connected between the - terminal of the operational amplifier 1 and a capacitor C0 which has one end earthed, and clock output circuits 4 and 5 are provided in the output of the operational amplifier 1, and the circuit 4 detects the peak level of the output and compares it with the target value of the output and inputs the difference voltage to a voltage controlled oscillator(VCO) and inputs the output clock of the VCO to the SC circuit 3 to turn on/off it, and the circuit 5 compares the output level with the target value of the output and outputs the clock having a 2nd frequency in the case of the output level equal to the target value and outputs the clock having a 1st frequency lower than the 2nd frequency in the case of the output level higher than the target value and outputs the clock having a 3rd frequency higher than the 2nd frequency in the case of the output level lower than the target value and inputs the clock to the SC circuit 2 to turn on/off it.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (usptol)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-37267

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl.⁵

H03G 3/20

3/12

3/30

識別記号

A 7239-5J

A 7239-5J

B 7239-5J

庁内整理番号

FI

技術表示箇所

審査請求 未請求 請求項の数1(全7頁)

(21)出願番号

特願平3-187217

(22)出願日

平成3年(1991)7月26日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 川田 金治

栃木県小山市城東3丁目28番1号 富士通

デジタル・テクノロジー株式会社内

(74)代理人 弁理士 井桁 貞一

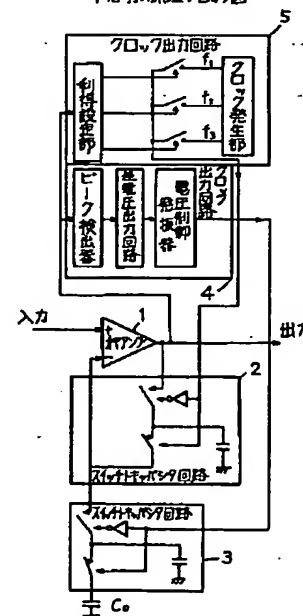
(54)【発明の名称】 ハイパスフィルタ型自動利得制御増幅器

(57)【要約】

【目的】 スイッチトキャパシタ回路(SC回路)を用いて構成したハイパスフィルタ型自動利得制御増幅器に関し、入力信号の変化幅が大きくとも出力値を目標値にすることが出来るハイパスフィルタ型自動利得制御増幅器の提供を目的とする。

【構成】 オペアンプ1の出力端子と一端子間に、SC回路2を接続し、又オペアンプ1の一端子と、一方がアースのコンデンサ C_0 間に、SC回路3を接続し、又オペアンプ1の出力に、出力のピークレベルを検出し出力の目標値と比較し差電圧をVCOに入力し該VCOの出力クロックをスイッチオンオフ用としてSC回路3に入力するクロック出力回路4と、出力レベルを該出力の目標値と比較し、等しければ第2の周波数のクロックを出力し、大きければ第2の周波数より低い第1の周波数のクロックを出力し、小さければ第2の周波数より高い第3の周波数のクロックを出力し、スイッチオンオフ用としてSC回路2に入力するクロック出力回路5を設けた構成とする。

本発明の原理ブロック図



【特許請求の範囲】

【請求項1】 入力信号を入力の入力端子に入力し出力端子より増幅出力を送出するオペアンプ(1)の該出力端子と入力の一端子間に、スイッチをオンオフする周期で等価抵抗値を定める第1のスイッチトキャパシタ回路

(2)を接続し、又該オペアンプ(1)の入力の一端子と、一方がアースのコンデンサ(C_0)の他端間に、スイッチをオンオフする周期で等価抵抗値を定める第2のスイッチトキャパシタ回路(3)を接続し、

又該オペアンプ(1)の出力に、出力のピークレベルを検出し出力の目標値と比較し差電圧を電圧制御発振器に入力し該電圧制御発振器の出力クロックをスイッチオンオフ用として該第2のスイッチトキャパシタ回路(3)に入力する第1のクロック出力回路(4)と、

出力レベルを該出力の目標値と比較し、等しければ第2の周波数のクロックを出力し、大きければ該第2の周波数より低い第1の周波数のクロックを出力し、小さければ該第2の周波数より高い第3の周波数のクロックを出力し、スイッチオンオフ用として該第1のスイッチトキャパシタ回路(2)に入力する第2のクロック出力回路(5)を設け、

且つ該第2のクロック出力回路(5)のクロックの周波数変化による調整出力レベルの幅を、該第1のクロック出力回路(4)の電圧制御発振器の周波数変化により出力を目標値に調整可能な入力レベルの変化幅の2倍以下になるように、該第1、第2、第3の周波数を定めたことを特徴とするハイパスフィルタ型自動利得制御増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、スイッチトキャパシタ回路(以下SC回路と称す)を用いて構成したハイパスフィルタ型自動利得制御増幅器(以下HF型AGC増幅器と称す)の改良に関する。

【0002】SC回路につき説明する。図3はSC回路により抵抗を実現する説明図、図4は1例の抵抗、コンデンサを用いたHF型利得可変増幅器のブロック図、図5は図4と等価なSC回路を用いたHF型利得可変増幅器のブロック図である。

【0003】図3(A)に示す如くコンデンサCが電圧 V_1 の端子と電圧 V_2 の端子間にスイッチ S_1 、 S_2 を介して接続され、スイッチ S_1 、 S_2 は図3(C)に示す、クロック $\Phi 1$ のnT点(Tは周期)、(n+1)T点、…、クロック $\Phi 1$ を反転したクロック $\Phi 2$ の(n+1/2)T点、(n+3/2)T点、…にて交互にオンオフされると、コンデンサCの電荷は電圧 V_1 の端子から電圧 V_2 の端子に転送される。

【0004】この時の転送される電荷 $Q=C[V_1(T)-V_2(T)]\cdots(1)$ となる。

この場合の1周期Tの平均電流Iは(1)式を積分した値

$$I=C[V_1(T)-V_2(T)]/T\cdots(2)$$

【0005】(2)式をオームの法則 $V=IR$ に代入すると、 $R=T/C\cdots(3)$

となり、 T/C を図3(B)に示す抵抗Rと等価とすることが出来る。よって抵抗値Rは周期T、コンデンサCの値を変えることにより変化することが出来る。

【0006】但し、この場合の条件として、 $V_1(T)$ 、 $V_2(T)$ の周波数成分より $1/T$ が充分大きいことが必要である。次にSC回路を用いてのHF型利得可変増幅器の構成及び、何故SC回路を用いて構成するかの理由につき説明する。

【0007】図4に示すHF型利得可変増幅器では、抵抗R2の値は固定で、抵抗R1の値を変化して利得を変化するものである。このHF型利得可変増幅器を、SC回路を用いて構成すると図5に示す如くなり、スイッチ S_{11} の切り替え周期を固定にし、スイッチ S_{12} の切り替え周期を可変にすれば等価抵抗値は変化するの、図4と等価なHF型利得可変増幅器が得られる。

【0008】図4に示す如く抵抗とコンデンサを用いてHF型利得可変増幅器を構成すると、集積化した時抵抗とコンデンサの値のばらつき方が異なるので伝達関数の精度が悪くなるが、SC回路を用いて構成すると、電気部品はコンデンサのみとなるので、集積化した時値のばらつき方が同じであるので相対精度のばらつきが少なく伝達関数の精度が良くなるので、HF型利得可変増幅器としてはSC回路を用いたものが理想的である。

【0009】

【従来の技術】図6は第1の従来例のHF型AGC増幅器のブロック図、図7は第2の従来例のHF型AGC増幅器のブロック図である。

【0010】図6は図4に示すHF型利得可変増幅器の抵抗R1、R2をSC回路2、3にて構成し、利得設定部7、選択スイッチ8、クロック発生部9を備えてHF型AGC増幅器としたものであり、これは本出願人が平成2年2月23日、特願平02-043261にて特許出願した可変型スイッチトキャパシタ回路を用いた等化器の実施例を示すものである。

【0011】動作を説明すると、図6のSC回路3はクロック発生部9よりの周波数 f_4 のクロックにてスイッチ S_{31} 、 S_{32} を交互にオンオフして固定の抵抗値とすることにして置く。

【0012】入力信号は、オペアンプ1の入力端子に入力し増幅されて出力する。この出力の電力演算を行って予め設定した目標値と比較し、例えば大きい、同じ、小さいとの3つの内の1つの比較結果を求め、求めた結果を選択スイッチ8に出力し、接点 S_{81} 、 S_{82} 、 S_{83} の内の出力に対応した接点をオンとし、クロック発生部9より出力

する周波数 f_1, f_2, f_3 の内のオンした接点の周波数のクロックにてSC回路2のスイッチ S_{21}, S_{22} を交互にオンオフする。

【0013】この場合周波数 f_1, f_2, f_3 を $f_1 < f_2 < f_3$ としておけば、入力信号のレベルが上がると出力が目標値より大きければ周波数 f_1 のクロックにてオンオフされ、SC回路2の等価抵抗値は小さくなり負帰還量が多くなるのでオペアンプ1の利得は小さくなり出力は略一定に保たれ、入力信号のレベルが下がり出力が目標値より小さければ周波数 f_3 のクロックにてオンオフされ、SC回路2の等価抵抗値は大きくなり負帰還量は減少するのでオペアンプ1の利得は大きくなり出力は略一定に保たれ、入力信号レベルが変化せず、目標値と同じであれば、周波数 f_2 のクロックにてオンオフされ、SC回路2の等価抵抗値は変化せずオペアンプ1の利得も変化せず出力は略一定に保たれる。

【0014】図7は図4に示すHF型利得可変増幅器の抵抗 R_1, R_2 をSC回路2, 3にて構成し、ピーク検出部10, 比較反転増幅器14, 電圧制御発振器（以下VCOと称す）12を備えてHF型AGC増幅器としたものであり、これは本出願人が平成3年6月18日に特許願したHF型利得可変増幅器の実施例を示すものであり、図6と異なる点は、利得設定部7, 選択スイッチ8, クロック発生部9の代わりに、ピーク検出部10, 比較反転増幅器14, VCO12を設けてVCO12の出力をSC回路2へのクロックとし、又SC回路3へのクロックはクロック発生器13より供給するようにした点であるので、この異なる点を中心に説明する。

【0015】SC回路3の等価抵抗値は固定値であるので、所要の固定値になるように発振器13のクロックの周波数を定めておく。又比較反転増幅器14は利得0の増幅器で、オペアンプ15の比較電圧 V_c の値（出力の目標値に相当する）は、入力信号が最大レベルの時のピーク検出器10の出力電圧と、入力信号が最小レベルの時のピーク検出器10の出力電圧との中心となるように定め、この出力電圧に対応するVCO12のクロック周波数を、SC回路2の等価抵抗値により定められるオペアンプ1の利得が所望の値になるようにしておく。

【0016】すると、入力信号のレベルが大きくなるとオペアンプ1の出力レベルも上がり、ピーク検出器10にて検出し出力するピーク電圧が上がり、比較反転増幅器14の出力電圧は比較電圧 V_c より下がり、VCO12の出力周波数は低くなり、SC回路2の等価抵抗値は小さくなりオペアンプ1の利得は小さくなる。

【0017】逆に、入力信号のレベルが小さくなるとオペアンプ1の出力レベルも下がり、ピーク検出器10にて検出し出力するピーク電圧が下がり、比較反転増幅器5の出力電圧は比較電圧 V_c より上がり、VCO12の出力周波数は高くなり、SC回路2の等価抵抗値は大きくなりオペアンプ1の利得は大きくなる。

【0018】この場合、VCO12の出力周波数は、入力電圧の連続的な変化により連続的に変化するので、オペアンプ1の利得も、入力信号のレベルの連続的な変化に対応して自動的に連続的に変化するので出力レベルは殆ど変動しなく目標値となる。

【0019】ここで、SC回路3による等価抵抗を R_s 、SC回路2による等価抵抗を R_p とし、入力信号の角速度を ω としHF型AGC増幅器の利得 G を式で示すと下記の如くなる。

【0020】

$$G = 1 + [R_p / (R_s + 1/j\omega C_0)]$$

【0021】

【発明が解決しようとする課題】しかしながら、図6に示す第1の従来例では、入力信号のレベルが大きく変化しても出力レベルは自動的に圧縮されても、クロック発生部9よりの出力周波数は3種類に限定してあるので、出力レベルは目標値にならないことが多い問題点があり、図7に示す第2の従来例では、入力信号のレベルが変化しても出力は目標値になることもあるが、VCO12が入力電圧の変化に追従して周波数を変化させる範囲が小さいので、出力を目標値に出来る入力信号の変化幅は小さく目標値にならないことも多い問題点がある。

【0022】本発明は、入力信号の変化幅が大きいとも出力値を目標値にすることが出来るHF型AGC増幅器の提供を目的としている。

【0023】

【課題を解決するための手段】図1は本発明の原理ブロック図である。図1に示す如く、入力信号を入力端子に投入し出力端子より増幅出力を送出するオペアンプ1の該出力端子と入力端子間に、スイッチをオンオフする周期で等価抵抗値を定める第1のSC回路2を接続し、又該オペアンプ1の入力端子と、一方がアースのコンデンサ C_0 の他端間に、スイッチをオンオフする周期で等価抵抗値を定める第2のSC回路3を接続し、又該オペアンプ1の出力に、出力のピークレベルを検出し出力の目標値と比較し差電圧をVCOに投入し該VCOの出力クロックをスイッチオンオフ用として該第2のSC回路3に投入する第1のクロック出力回路4と、出力レベルを該出力の目標値と比較し、等しければ第2の周波数のクロックを出力し、大きければ該第2の周波数より低い第1の周波数のクロックを出力し、小さければ該第2の周波数より高い第3の周波数のクロックを出力し、スイッチオンオフ用として該第1のSC回路2に投入する第2のクロック出力回路5を設け、且つ該第2のクロック出力回路5のクロックの周波数変化による調整出力レベルの幅を、該第1のクロック出力回路4のVCOの周波数変化により出力を目標値に調整可能な入力レベルの変化幅の2倍以下になるように、クロックの該第1, 第2, 第3の周波数を定める。

【0024】

【作用】本発明は、図4のHF型AGC増幅器の抵抗 R_1 をSC回路2にて実現し、抵抗 R_2 をSC回路3にて実現し、入力信号のレベルの変化に対し、クロック出力回路5の3つの周波数のクロックを用いてSC回路2による等価抵抗値を変化させ出力レベルを目標値に近づくように粗調整を行い、クロック出力回路4のVCOの出力周波数にてSC回路3による等価抵抗値を変化させ粗調整された出力レベルを目標値になるように微調整を行うので、入力信号の変化幅が大きくとも出力レベルを目標値にすることが出来る。

【0025】

【実施例】図2は本発明の実施例のHF型AGC増幅器のブロック図である。図2は、図6の従来例の、SC回路3の等価抵抗値を、図7の従来例と同様の方法にて

(但し図2では、図7の比較反転増幅器14の代わりに差電圧増幅器11を用いる)クロック出力回路4のVCO12の出力にて可変するようにしたものであり、クロック出力回路5のクロック周波数変化による調整出力レベルの幅を、クロック出力回路4のVCO12の周波数変化により出力を目標値に調整可能な入力レベルの変化幅の2倍以下になるように、クロック出力回路5のクロック発生部9よりの周波数 f_1, f_2, f_3 を定めておく。

【0026】このようにしておく、入力信号レベルの変化に対し、クロック出力回路5のクロック発生部9の3種類の周波数 f_1, f_2, f_3 を用いてSC回路2による等価抵抗値を変化させ出力レベルを目標値に近づくように粗調整を行う。

【0027】そして、クロック出力回路4のピーク検出器10にて粗調整された出力レベルのピークを検出し、差電圧増幅器11に入力し、目標値相当の電圧 V_c との差電圧を求めVCO12に入力し、出力クロックにてSC回路3の等価抵抗値を変化させる。

【0028】即ち、粗調整された出力レベルが目標値より高ければVCO12の出力周波数は高くなりSC回路2の等価抵抗値は大きくなりオペアンプ1の利得は小さ

くなり出力レベルは目標値となり、出力レベルが目標値より低ければVCO12の出力周波数は低くなりSC回路2の等価抵抗値は小さくなりオペアンプ1の利得は大きくなり出力レベルは目標値となる。

【0029】以上の説明にて理解出来るように、入力信号レベルの変化幅が大きくとも出力値を目標値にすることが出来る。

【0030】

【発明の効果】以上詳細に説明せる如く本発明によれば、入力信号のレベルの変化幅が大きくとも出力値を目標値にすることが出来るHF型AGC増幅器が得られる効果がある。

【図面の簡単な説明】

【図1】は本発明の原理ブロック図、

【図2】は本発明の実施例のハイパスフィルタ型自動利得制御増幅器のブロック図、

【図3】はスイッチトキャパシタ回路により抵抗を実現する説明図、

【図4】は1例の抵抗、コンデンサを用いたハイパスフィルタ型利得可変増幅器のブロック図、

【図5】は図4と等価なスイッチトキャパシタ回路を用いたハイパスフィルタ型利得可変増幅器のブロック図、

【図6】は第1の従来例のハイパスフィルタ型自動利得制御増幅器のブロック図、

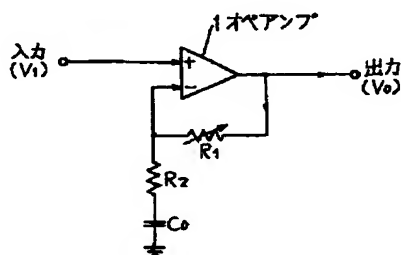
【図7】は第2の従来例のハイパスフィルタ型自動利得制御増幅器のブロック図である。

【符号の説明】

1, 15はオペアンプ、2, 3はスイッチトキャパシタ回路、4, 5はクロック出力回路、7は利得設定部、8は選択スイッチ、9はクロック発生部、10はピーク検出器、11は差電圧増幅器、12は電圧制御発振器、13は発振器、14は比較反転増幅器、21, 31はノット回路、 $C, C_0, C_{21}, C_{31}, C_{11}, C_{12}$ はコンデンサ、 R, R_1, R_2 は抵抗、 $S_{11}, S_{12}, S_{21}, S_{22}, S_{31}, S_{32}$ はスイッチ、 S_{81}, S_{82}, S_{83} は接点を示す。

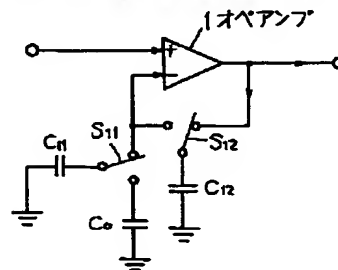
【図4】

1例の抵抗コンデンサを用いたハイパスフィルタ型利得可変増幅器のブロック図

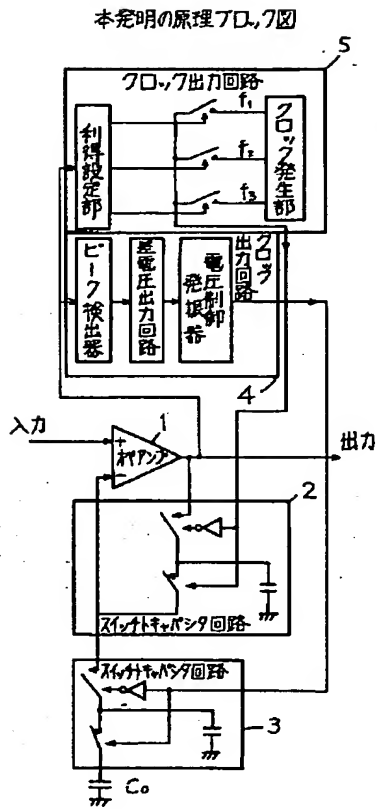


【図5】

図4と等価なスイッチトキャパシタ回路を用いたハイパスフィルタ型利得可変増幅器のブロック図

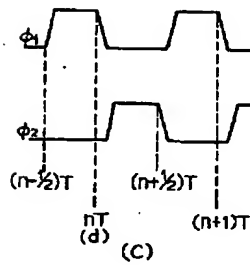
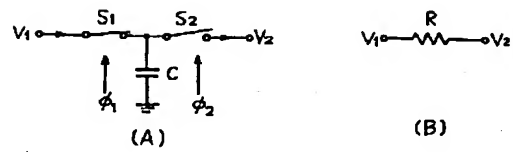


【図1】



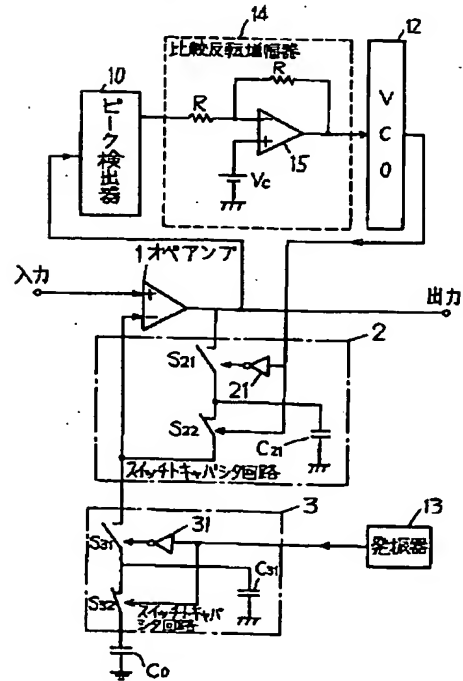
【図3】

スイッチトキャパシタ回路により抵抗を実現する説明図



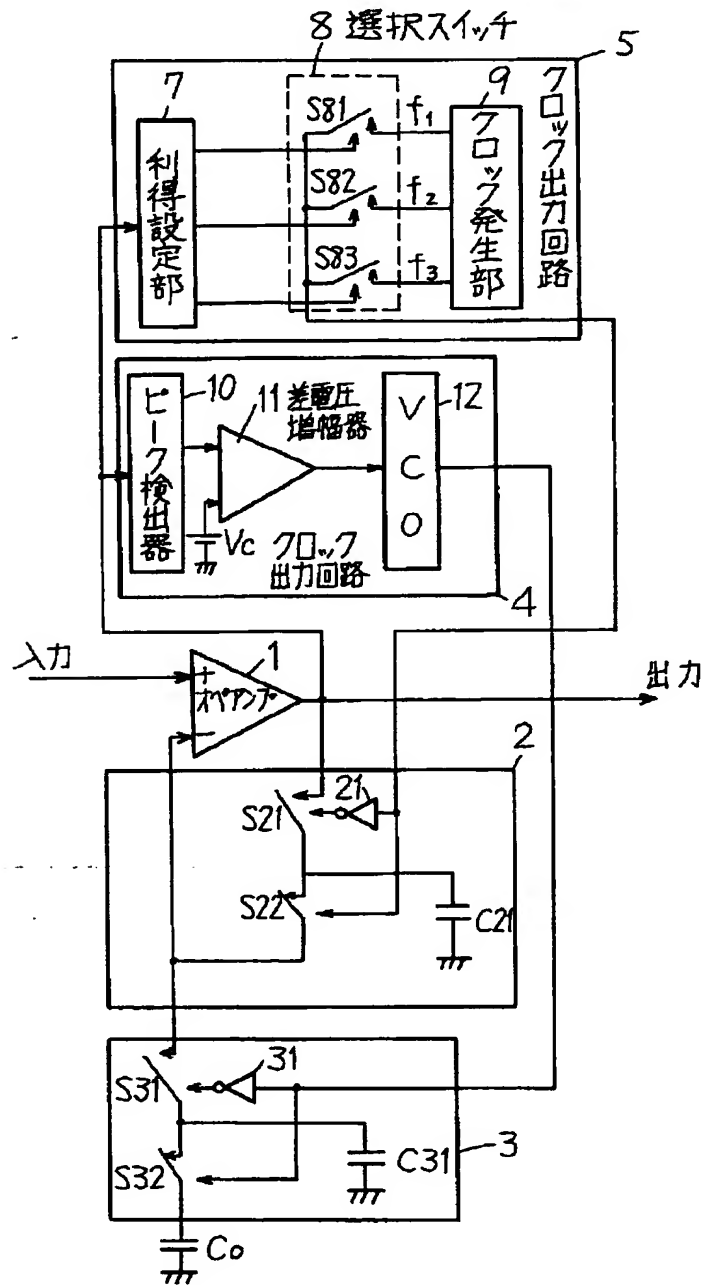
【図7】

第2の従来例のハイパスフィルタ型自動利得制御増幅器のブロック図



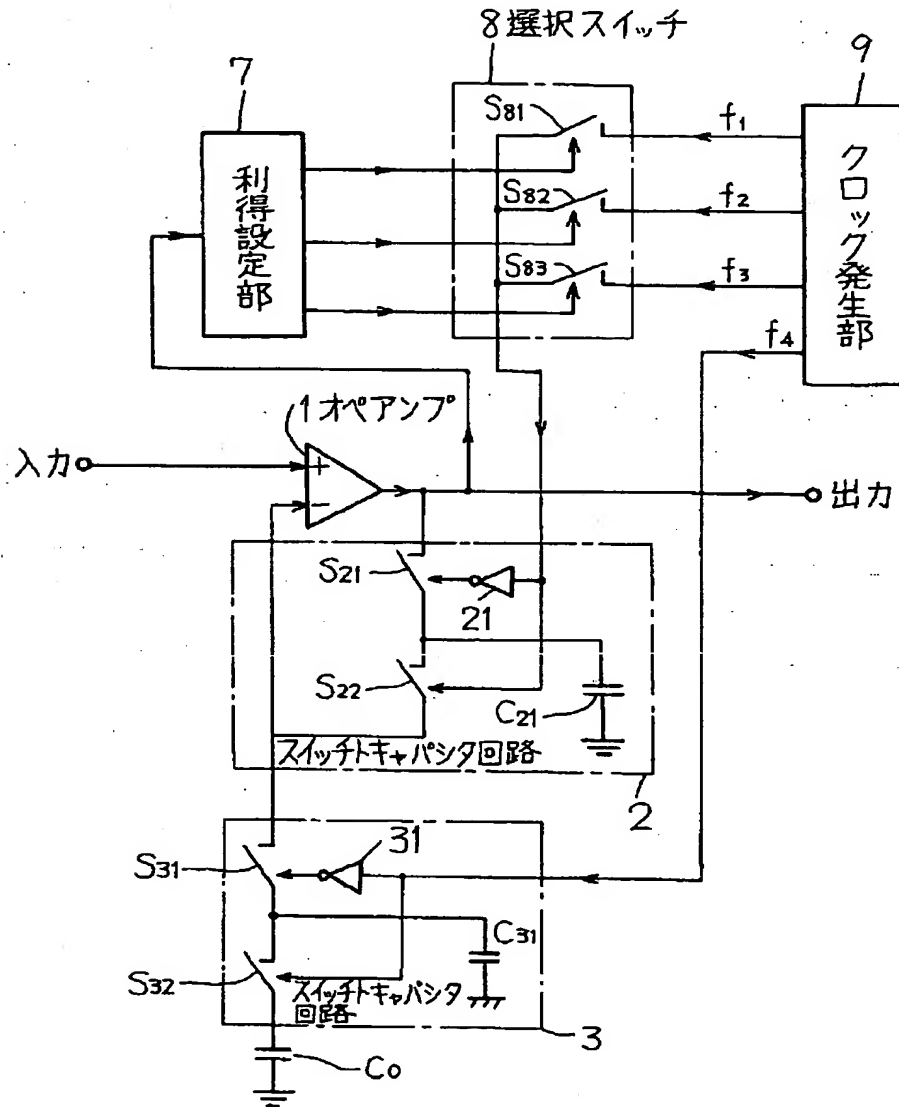
【図2】

本発明の実施例のハイブリッド型自動利得制御増幅器のブロック図



【図6】

第1の従来例のハイパスフィルタ型自動利得制御増幅器の
ブロック図



THIS PAGE BLANK (USPTO)